

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Registration No.: 1995-001517

(24) Registration Date: 5 February 1995

(21) Application No.: 1991-0023138

(22) Application Date: 17 December 1991

(51) IPC Code:

H04L 12/56

(71) Applicant:

(72) Inventor:

LEE, HYUNG HO

PARK, CHEON KWAN

HONG, HYUN HA

HAN, CHI MOON

(54) Title of the Invention:

Duplication packet bus control circuit of packet call control processor

Claim 1. A duplication packet bus control circuit, comprising:

a central processing unit 15 which processes various kinds of data;

a central processing unit matching unit 18 which notifies the central processing unit 15 of errors and various states of a packet bus and emits a duplication-switch-over-related signal of the central processing unit 15;

buffer circuits 19 and 20 which feed back the duplication-switch-over-related signal to the central processing unit 15 and emits the duplication-switch-over-related signal to the central processing unit 15 for confirmation;

a differential signal transmitter/receiver 21 which allows an external device to interface with the central processing unit matching unit 18;

a control bus matching unit 13 which notifies the central processing unit 15 of the errors and various states of the packet bus and emits various commands issued by the central processing unit 15 to the packet bus;

a data bus matching unit 14 which transmits and receives data packets to and from the central processing unit 15 via the packet bus;

a VME bus which connects functional blocks in a packet call control processor;

a VME bus matching unit 17 which matches with the VME bus; and

a packet common memory 16 which is shared by the central processing unit 15, the data packet bus matching unit 14, and the VME bus matching unit 17.

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁸ H04L 12/56	(45) 공고일자 (11) 등록번호 (24) 등록일자	1995년 02월 25일 95-001517
(21) 출원번호 (22) 출원일자 (73) 특허권자	특1991-0023138 1991년 12월 17일	

(72) 발명자
이형호
대전직할시 대덕구 법동 284-1 주공아파트 211동 202호
박천관
대전직할시 동구 용운동 주공 고층아파트 204동 801호
홍현하
대전직할시 중구 산성동 우성아파트 107동 511호
한치문
대전직할시 중구 태평동 삼부아파트 22동 136호
(74) 대리인
박해천

심사관 : 표상준 (특허공보 제3879호)

(54) 패킷호 제어 프로세서의 이중화 패킷 버스 제어회로

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

패킷호 제어 프로세서의 이중화 패킷 버스 제어회로

[도면의 간단한 설명]

제1도는 패킷교환장치 구성도.

제2도는 본 발명이 적용된 패킷호 제어 프로세서 구성도.

제3도는 본 발명이 적용된 패킷 버스 정합부 구성도.

제4도는 본 발명의 이중화 패킷 버스 제어부 일실시예 상세 회로도.

* 도면의 주요부분에 대한 부호의 설명

13 : 제어버스 정합부

14 : 데이터 버스 정합부

15 : 중앙처리장치

16 : 패킷 공동 메모리

17 : VME 버스정합부

18 : 중앙처리장치 정합부

19, 20 : 버퍼

21 : 차등 신호송수신기

[발명의 상세한 설명]

본 발명은 전전자 교환기에 구현되는 패킷교환장치내의 패킷호 제어 프로세서의 이중화 패킷 버스 제어 회로에 관한 것이다.

전전자 교환기의 패킷교환장치는 패킷호 제어 및 루팅 데이터 관리 기능을 수행하는 패킷호 제어 프로세서 블록, 실시간으로 데이터 패킷을 처리하는 패킷처리 블록, 패킷교환장치내의 여러 프로세서를 상호 연결시켜 주는 패킷 버스 블록으로 구성되어 서로 다른 프로토콜을 처리하게 된다.

데이터 통신의 필수적인 요소가 쌍방간에 데이터의 정확한 송수신에 있으므로 패킷교환장치는 이와 같은 개념을 근간으로 패킷 버스를 이중화로 운용하여 버스상의 문제점으로 데이터 송수신이 불가능할 경우 다른 쪽의 패킷 버스를 이용하여 데이터 패킷 전송을 원활히 하고자 한다.

일반적으로 이중화 운용은 블록 단위로 이루어져, 이중화된 블록은 메모리를 공유하지 않고 각각 공유하므로 정상적 운용시 동작중(active)인 블록의 데이터가 대기중(standby)인 블록으로 수시로 카피(copy)된다. 그러므로 동작중인 블록상의 문제점이 생기면 대기중인 블록으로 절체가 신속히 이루어지는데, 동작중인 블록이 메모리 내용을 수시로 대기중인 블록으로 카피(copy)하여야 하는 문제점이 있다.

본 발명의 목적을 메모리 공유에 따른 카피 기능을 제거한 패킷 버스 제어회로를 제공하는데 있다.

본 발명은 이중화된 패킷 버스를 패킷호 제어 프로세서의 두개의 능동소자로 물리적으로 교차 연결하여 메모리를 공유하게 되므로 동작중인 능동소자의 각종 데이터를 대기중인 상태인 능동소자에게 알릴 필요 없이 이중화 절체시 패킷호 제어 프로세서의 동작중인 능동소자가 절체되고 대기중인 능동소자가 동작되는데, 이때 절체된 능동소자가 사용하고 있는 메모리상의 데이터를 그대로 사용할 수 있으며, 메모리 공유에 따른 카피(copy) 기능이 없다.

이와 같은 구성을 통하여 패킷 버스를 통하여 패킷을 송수신 중 패킷 버스상의 장애로 더이상 데이터 패킷을 송수신할 수 없을 때 제어 패킷 버스를 통하여 패킷호 제어 프로세서 블록으로 경보 신호로 알린다. 이 신호를 받은 패킷호 제어 프로세서 블록은 패킷 절체 여부를 판단하여 리셋 및 패킷 버스 선택 신호를 통하여 장애가 일어난 패킷 버스를 절체시키고 대기중인 패킷 버스를 택하여 데이터 패킷의 송수신을 계속한다.

이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 설명하면 다음과 같다.

제1도는 패킷교환장치의 구성도로서 직렬버스를 통하여 상위 프로세서의 제어를 받으며, 패킷호를 처리하는 패킷호 제어 프로세서(1), 패킷 처리 장치와 패킷호 제어 프로세서간 통신 경로를 제공해 주는 이중화된 패킷 버스(2)(3)로 구성된 패킷 버스 블록(7) 및 데이터 패킷을 처리하는 패킷처리 장치(4)(5)로 구성된 패킷처리 장치 블록(8)으로 구성된다. 패킷호 제어 프로세서(1)는 패킷 처리 장치 블록으로부터 패킷호 설정, 해제 등의 제어 메시지를 수신하여 이러한 호 요구에 대한 검증 작업을 하게 되는데, 이러한 검증 작업을 위하여 각 사용자별로 가입자 번호, 라인속도, 할당된 설비들의 데이터가 저장되어 있는 사용자 데이터 베이스를 운용하며 상위 프로세서와의 통신을 위한 IPC통신 기능을 가지고 있다. 이와 같이 패킷호 제어 프로세서는 패킷교환장치내의 모든 운용 보전 기능을 수행하며, 패킷교환장치내의 필요한 통계 정보들을 모으고, 저장하여 운용자 요구시나 시스템내의 이상 발생시 수행하는 트레이싱(tracing)기능, 이러한 운용자 관련 인터페이스를 위한 운용자 인터페이스 처리기능, 그리고 사용자 운영자를 직접 회선으로 연결시켜주는 트랜스 퍼런트 사용자 연결 기능등을 수행한다. 패킷교환장치의 패킷 버스 블록(7)은 이중화된 패킷버스로 구성되며, 패킷 버스는 제어 패킷 버스와 데이터 패킷 버스로 구성된다.

이와 같은 패킷 버스는 패킷교환장치내의 여러 프로세싱 모듈을 상호 연결시켜 주는 버스로 데이터 패킷 버스는 직렬 데이터 버스로 프로세싱 모듈간 직렬 데이터 패킷을 전송하는 기능을 수행하며, 제어 패킷 버스를 통하여 프로세싱 모듈간 제어 신호를 전송한다. 그리고 패킷교환장치의 패킷호 처리장치 블록(8)은 X.28 LAPB 프로토콜 처리와 데이터 패킷 전송, X.25액세스, 내부 프로코콜 등 계층(layer) 3 기능을 수행한다.

이와 같은 패킷처리 장치 블록은 패킷교환장치내에서 패킷 버스 블록과 고속의 내부 데이터 링크로 연결되어 패킷처리 장치 블록간 또는 패킷호 제어 프로세서와 패킷을 상호 교환하며, 타임 스위치와는 서브 하이웨이(Sub-highway)로 연결되어 링크레벨 정합 기능을 갖는다.

이상과 같이 구성된 패킷교환장치내에서 데이터 패킷 버스를 통하여 데이터 패킷을 송신하고 있는 동안에 패킷 버스상의 장애로 더이상 데이터 패킷을 전송할 수 없을 때, 패킷호 제어 프로세서는 제어 패킷 버스를 통하여 패킷 버스상의 그와 같은 긴급 상태를 보고 받고 그에 따라 이중화된 패킷 버스 이상인 패킷 버스는 폐쇄시키고, 대기중인 패킷 버스를 선택하여 데이터 패킷 송수신을 계속하는 것과 같이 패킷 버스를 이중화하여 액티브상태(Active-State)와 대기상태(Stand-by State)로 운영하여 데이터 패킷 송수신의 신뢰성을 향상시켜 준다.

제2도는 패킷교환장치 중 본 발명이 적용된 패킷호 제어 프로세서(1)의 구성도로서, 패킷호 제어 프로세서와 상위 프로세서의 직렬버스로 연결시켜 주는 상위 프로세서 정합부(9), 두개의 직렬버스를 통해 패킷호 제어 프로세서와 패킷 버스(2)(3)를 연결시켜 주는 패킷 버스 정합부(8), 패킷호를 제어 및 처리하는 프로세서부(11) 및 정보의 저장 및 관리를 위한 메모리(10)로 구성된다. 패킷호 제어 프로세서의 주요 기능으로는 데이터 전송시 상호작용, 버스 사용 중지시 상호작용, 인터럽트 처리시 상호 작용 및 시스템 동작과 작용에 따라 발생하는 상호 작용이 있다.

이와 같은 구성에서 각 기능간 통신은 VME 버스를 근간으로 하고 있으며, 패킷 버스 정합부(8)는 패킷 버스 정합부내의 두개의 능동소자를 통하여 이중화된 패킷 버스 각각에 케이블을 통하여 물리적으로 연결되며, 이때 능동소자는 데이터 패킷 버스와 정합되는 두개의 능동소자와 제어 패킷 버스와 정합기능을 수행하는 두개 채널을 가진 한개의 능동소자가 있다. 그리고 상위 프로세서 정합부(9)는 케이블을 통하여 연결되어 상위 프로세서와 각종 명령을 주고 받는다. 프로세서부(11)는 패킷 정합부를 통하여 입력된 패킷호 처리 및 각종 명령을 주고 받으며, 패킷호 제어 프로세서내에서 VME 버스를 통하여 여러 기능간 각종 명령을 주고 받는다. 메모리(10)는 패킷교환장치내의 모든 운용 보전 관련 정보를 보관하는 기능을 수행한다.

제3도는 본 발명의 패킷 버스 정합부(8) 구성도를 나타낸다. 패킷 버스 정합부는 중앙처리장치(15), 패킷 공통 메모리(16), VME 버스 정합부(17), 이중화 패킷 버스 제어부(12), 제어 버스 정합부(13), 데이터 버스 정합부(14)로 구성된다. 이중화 패킷 버스 제어부(12)는 인터페이스 소자로 구성되며, 중앙처리장치(15)의 명령에 따라 제어 패킷 버스의 폐쇄 및 선택 기능을 수행한다. 제어버스 정합부는 두 채널을 가진 한개의 SIO(DUSCC) 소자와 인터페이스 소자로 구성되는데, 이를 통하여 패킷호 제어 프로세서와 패킷 버스 블록간 여러 및 각종 명령을 주고 받는다. 데이터 패킷 버스 정합부(14)는 두개의 LAN(Local Area Network) 소자와 인터페이스 소자로 구성되며 패킷 처리 장치 블록과 데이터 패킷을 주고 받는다. 패킷 공통 메모리(16)는 SRAM을 사용하여, 중앙처리장치(15), 프로세서부(9) 및 데이터 버스 정합부의

LAN소자가 공유하며 이를 통하여 서로 통신을 한다.

이때 메모리 점유는 먼저 요구한쪽이 먼저 서비스되며 동시 요구되지는 않는다. VAM 버스 정합부(17)는 데이터, 주소 및 제어 버스로 구성되며, 이를 통하여 프로세서부(11)와 통신한다. 중앙처리장치(15)는 MC68000계열 프로세서로 구성되며, 제어버스 정합부(13)를 통하여 이중화된 패킷 버스(2)(3)상태를 요구하며, 패킷 버스는 이 요구에 따라 패킷 버스상의 각종 상태를 보고한다. 상태 보고를 받으면 중앙처리장치(15)는 상태보고에 관한 데이터를 보관하고 비정상상태가 있으면 적절한 조치(리셋 등)를 취한다. 패킷 버스(2)(3)의 제어버스상 장애등으로 패킷 버스의 운용이 불가능한 경우 패킷 버스(2)(3)는 이중화 패킷제어부(12)를 통하여 중앙처리장치(15)로 신호를 보내 긴급상황을 알린다. 그러면 긴급상황을 보고 받은 중앙처리장치(15)는 이중화 패킷 버스 제어부(12)를 통하여 해당 패킷 버스를 리셋 및 선택신호를 이용하여 긴급상황을 복구시킨다. 제어버스 정합부(13)는 두 채널의 SIO칩(0USCC)과 인터페이스 회로(96174, 96175)로 구성되며 패킷 버스상의 에러 및 각종 상태는 두 채널 SIO칩을 통하여 중앙처리장치(15)로 보고되며 중앙처리장치(15)는 두 채널 SIO칩과 인터페이스 회로를 통하여 패킷 버스 블럭(7)으로 각종 제어 명령을 송신한다.

데이터 버스 정합부(14)는 두개의 LAN(82586)칩과 인터페이스(96174, 96175) 회로로 구성되며, 패킷 공통 메모리(16)를 통하여 중앙처리장치(15)가 LAN칩에 명령을 주고 LAN칩으로부터 중앙처리장치(15)가 내린 명령 수행상태를 보고함에 따라 데이터 패킷의 송수신을 수행한다. 이때 데이터 패킷을 송수신하고 있는 패킷 버스상의 각종 장애상태는 제어 패킷 버스를 통하여 이중화 패킷 버스 제어부(12) 및 제어버스 정합부(13)를 거쳐 중앙처리장치로 보고되며, 이때 데이터 패킷을 송수신하고 있는 패킷 버스상의 장애로 데이터 패킷 송수신이 불가능한 경우 이중화 패킷 버스 제어부(12)를 통하여 장애가 생긴 패킷 버스는 대기시키고, 대기 상태에 있는 패킷 버스를 동작시켜 패킷 데이터 송수신을 계속하도록 한다.

제4도는 본 발명의 이중화 패킷 버스 제어부의 일 실시예의 회로도로서, 중앙처리장치 정합부(18), 버퍼(19)(20), 차등 신호송수신기(21)로 구성된다. 중앙처리장치 정합부(18)는 MC68000계열 주변 소자로 구성되며, 차등 신호송수신기(21)를 통하여 패킷 버스(2)(3)상의 각종 에러 및 각종 상태를 취합하여 중앙처리장치(15)로 보고하고 중앙처리장치(15)는 중앙처리장치 정합부(18)와 차등 신호송수신기(21)를 통하여 이중화된 패킷 버스 제어 명령 및 각종 명령을 전달한다. 버퍼(19)(20)는 중앙처리장치의 송수신을 원활하게 하기 위해 정보를 일시적으로 저장하여 처리속도의 차를 흡수하는 기능과 버퍼를 통한 신호를 중앙처리장치(15)로 변환시켜 이중화된 패킷 버스의 절체 관련 명령의 정확한 수행 여부를 확인한다. 차등 신호송수신기(21)는 인터페이스 소자(96174, 96175)로 구성되며 케미블을 통하여 패킷 버스 블럭(7)과 연결되며, 신호의 잡음 방지를 위하여 차등 신호로 하였다.

이상과 같이 구성된 이중화 패킷 버스 제어 프로세서의 이중화된 패킷 버스 제어회로는 패킷 버스의 데이터 패킷 송수신에 대한 신뢰성을 향상시켜 주고, 제어의 집중화로 제어를 효율적이며 경제적으로 수행할 수 있다.

(57) 청구의 범위

청구항 1. 각종 데이터를 처리하는 중앙처리장치(15), 패킷 버스상의 에러 및 각종 상태를 취합하여 상기 중앙처리장치(15)로 보고하고 상기 중앙처리장치(15)의 이중화 절체 관련 신호를 송출하는 중앙처리장치 정합부(18), 상기 중앙처리장치(15)에서 보낸 이중화 절체 관련 신호를 변환시켜 다시 상기 중앙처리장치(15)로 확인을 위해 송출하기 위한 버퍼회로(19)(20), 외부 장치를 상기 중앙처리장치 정합부(18)로 인터페이스시키기 위한 차등 신호송수신기(21), 패킷 버스상의 에러 및 각종 상태를 상기 중앙처리장치(15)에 보고하고 상기 중앙처리장치(15)의 각종 명령을 패킷 버스로 송출하는 제어버스 정합부(13), 상기 패킷 버스를 통하여 데이터 패킷을 송수신하여 상기 중앙처리장치로 송수신하는 데이터 버스 정합부(14), 패킷호 제어 프로세서내의 기능 블럭간을 연결시켜 주는 VME 버스, 상기 VME 버스와 정합되는 VME 버스 정합부(17), 및 상기 중앙처리장치(15)와 데이터 패킷 버스 정합부(14) 및 VME 버스 정합부(17)가 공통으로 사용하는 패킷 공통 메모리(16)를 구비하고 있는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

청구항 2. 제1항에 있어서, 상기 차등 신호송수신기(21)는 이중화 절체 관련 신호를 차등 신호로 또는 차등 신호를 단일 신호로 변환하여 송수신하는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

청구항 3. 제2항에 있어서, 상기 차등 신호송수신기(21)는 이중화된 패킷 버스와 연결되어 있는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

청구항 4. 제3항에 있어서, 상기 VME 버스 정합부(17)는 데이터, 주소, 및 제어 버스를 구비하고 있는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

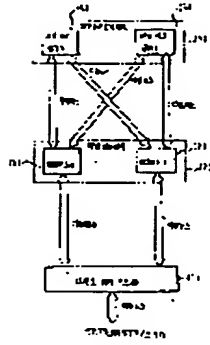
청구항 5. 제4항에 있어서, 상기 패킷 공통 메모리(16)는 SRAM으로 구성되는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

청구항 6. 제5항에 있어서, 상기 제어 버스 정합부(13)는 두 채널을 가진 한개의 SIO칩소자를 포함하고 있는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

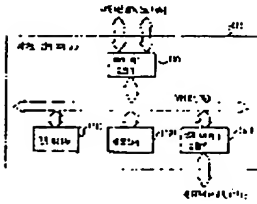
청구항 7. 제6항에 있어서, 상기 데이터 버스 정합부(14)는 두개의 LAN칩을 포함하고 있는 것을 특징으로 하는 이중화 패킷 버스 제어회로.

도면

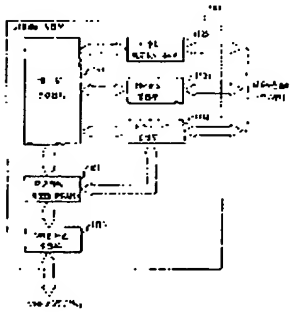
도 B1



도 B2



도 B3



도 B4

